САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию Verilog lab3

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

Выполнил:

Бараев Д. Р.

Группа: 3540901/02001

Преподаватель: А. П. Антонов

Санкт-Петербург

2020

Оглавление

[1 Упражнение 3\_1 4](#_Toc30503530)

[1.1 Задание 4](#_Toc30503531)

[1.2 Результат синтеза (RTL) 4](#_Toc30503532)

[1.3 Функциональное моделирование 5](#_Toc30503533)

[1.4 Назначение выводов СБИС 5](#_Toc30503534)

[1.5 Тестирование на плате miniDiLaB-CIV 5](#_Toc30503535)

[1.6 Выводы 6](#_Toc30503536)

[2 Упражнение 3\_2 6](#_Toc30503537)

[2.1 Задание 6](#_Toc30503538)

[2.2 Результат синтеза (RTL) 7](#_Toc30503539)

[2.3 Функциональное моделирование 7](#_Toc30503540)

[2.4 Назначение выводов СБИС 8](#_Toc30503541)

[2.5 Тестирование на плате miniDiLaB-CIV 8](#_Toc30503542)

[2.6 Выводы 8](#_Toc30503543)

[3 Упражнение 3\_3 8](#_Toc30503544)

[3.1 Задание 8](#_Toc30503545)

[3.2 Результат синтеза (RTL) 9](#_Toc30503546)

[3.3 Функциональное моделирование 9](#_Toc30503547)

[3.4 Назначение выводов СБИС 10](#_Toc30503548)

[3.5 Тестирование на плате miniDiLaB-CIV 10](#_Toc30503549)

[3.6 Выводы 10](#_Toc30503550)

[4 Упражнение 3\_4 10](#_Toc30503551)

[4.1 Задание 10](#_Toc30503552)

[4.2 Результат синтеза (RTL) 11](#_Toc30503553)

[4.3 Функциональное моделирование 11](#_Toc30503554)

[4.4 Назначение выводов СБИС 11](#_Toc30503555)

[4.5 Тестирование на плате miniDiLaB-CIV 12](#_Toc30503556)

[4.6 Выводы 12](#_Toc30503557)

Список иллюстраций

[Рис. 1‑2 Результат моделирования RTL-Viewer 4](#_Toc30503558)

[Рис. 1‑3 Функциональное моделирование 5](#_Toc30503559)

[Рис. 1‑4 Назначение выводов в приложении Pin Planner 5](#_Toc30503560)

[Рис. 2‑2 Результат моделирования RTL-Viewer 7](#_Toc30503561)

[Рис. 2‑3 Функциональное моделирование 7](#_Toc30503562)

[Рис. 2‑4 Назначение выводов в приложении Pin Planner 8](#_Toc30503563)

[Рис. 3‑2 Результат моделирования RTL-Viewer 9](#_Toc30503564)

[Рис. 3‑3 Функциональное моделирование 9](#_Toc30503565)

[Рис. 3‑4 Назначение выводов в приложении Pin Planner 10](#_Toc30503566)

[Рис. 4‑1 Результат моделирования RTL-Viewer 11](#_Toc30503567)

[Рис. 4‑2 Функциональное моделирование 11](#_Toc30503568)

[Рис. 4‑3 Назначение выводов в приложении Pin Planner 11](#_Toc30503569)

# Упражнение 3\_1

## Задание

На языке Verilog опишите беззнаковый делитель с повышенной точностью (4 знака после запятой).

• Входы данных

o Делимое - переключатели sw[7:4]

o Делитель - переключатели sw[3:0]

• Выходы

o Результат деления - светодиоды led[7:4]

o Четыре знака после запятой – светодиоды led[3:0]

## Результат синтеза (RTL)

Результат синтеза в пакете Quartus приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

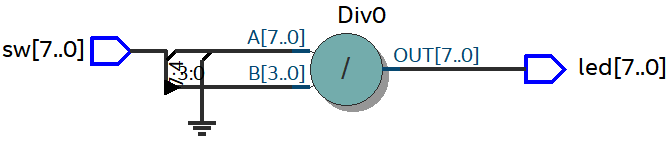


Рис. 1‑2 Результат моделирования RTL-Viewer

## Функциональное моделирование

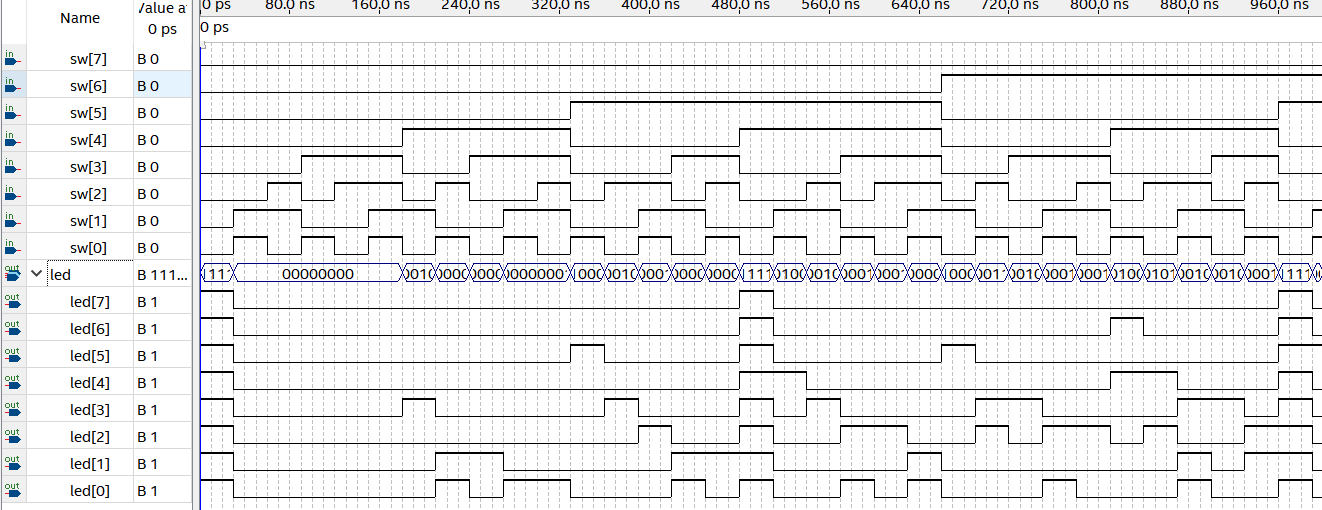
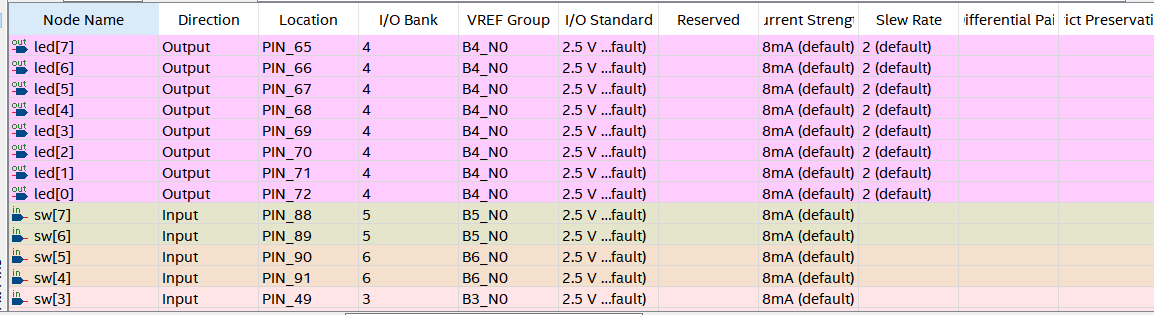


Рис. 1‑3 Функциональное моделирование

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4



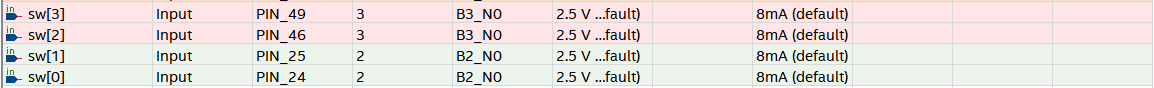


Рис. 1‑4 Назначение выводов в приложении Pin Planner

## Выводы

В ходе проведения лабораторной работы на языке Verilog был описан беззнаковый делитель с повышенной точностью (4 знака после запятой). Проведена проверка работоспособности с помощью инструментов пакета Quartus.

# Упражнение 3\_2

## Задание

На языке Verilog опишите преобразователь 4-х разрядного двоичного кода в 7-сегментный код.

• Входы данных:

o переключатели sw[3:0] - 4-х разрядный двоичный код

o выбор разряда 7-сегментного индикатора для отображения – переключатели sw[7:6]:

* 00 - отображение в 0 (правом) разряде 7-сегментного индикатора
* 01 - отображение в 1 разряде 7-сегментного индикатора
* 10 - отображение во 2 разряде 7-сегментного индикатора
* 11 - отображение в 3 (левом) разряде 7-сегментного индикатора

• Выходы данных – 7-сегментный индикатор – все 4 разряда, выбор которых управляется переключателями sw[7:6].

## Результат синтеза (RTL)

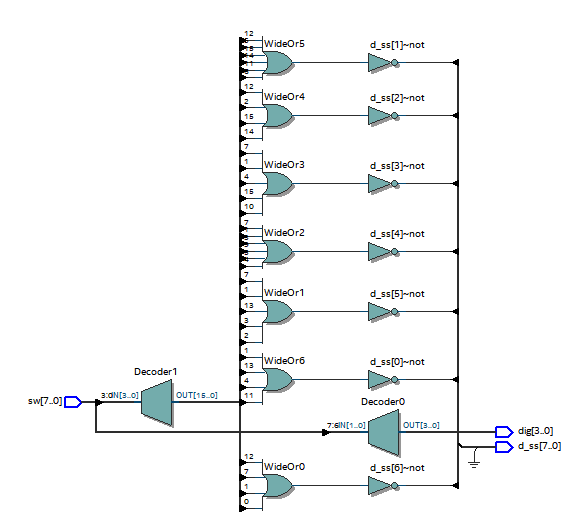


Рис. 2‑2 Результат моделирования RTL-Viewer

## Функциональное моделирование

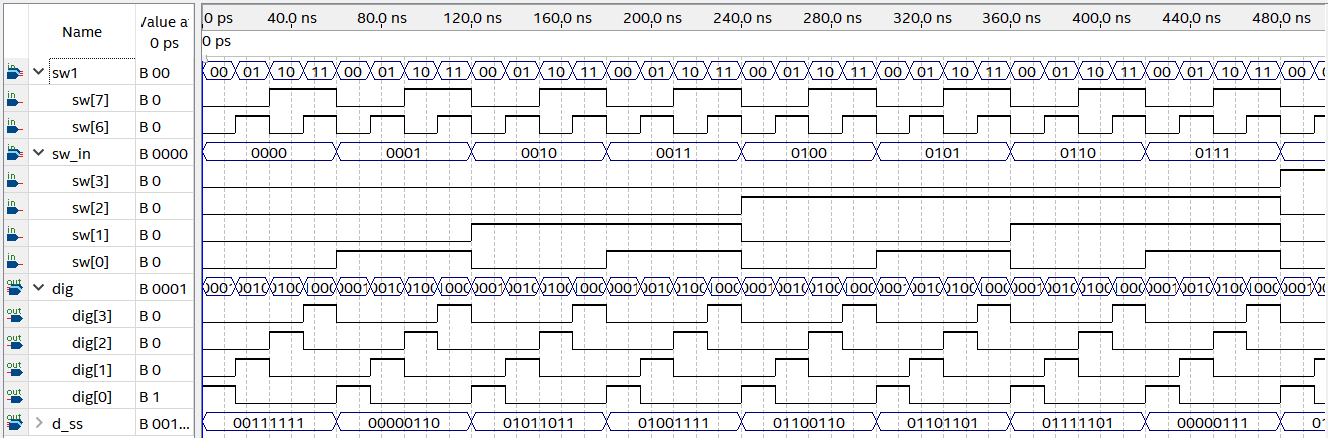
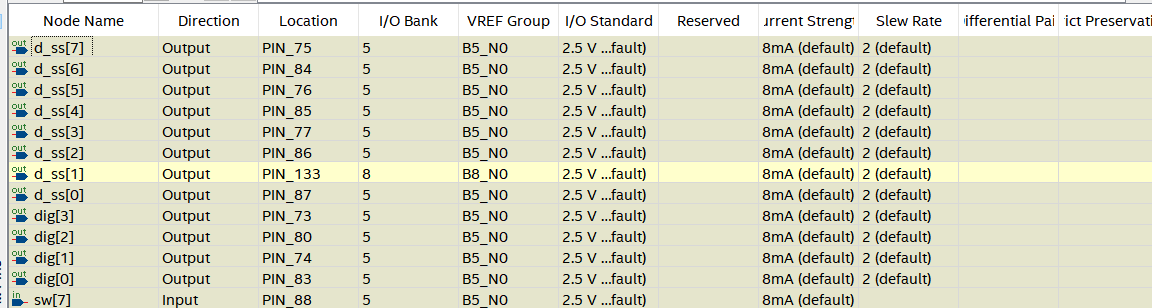


Рис. 2‑3 Функциональное моделирование

## Назначение выводов СБИС



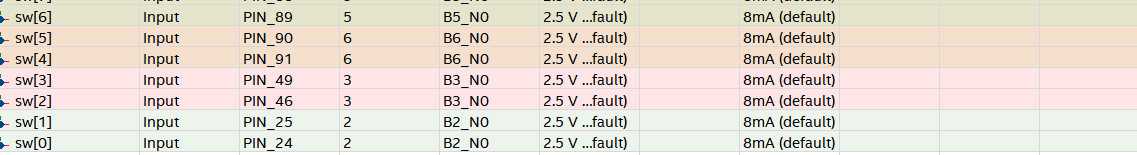


Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Выводы

На языке Verilog был описан преобразователь 4-х разрядного двоичного кода в 7-сегментный код. Проведена проверка работоспособности с помощью инструментов пакета Quartus. Моделирование и тестирование проведено успешно, устройство работает правильно.

# Упражнение 3\_3

## Задание

На языке Verilog опишите мажоритарное устройство с тремя 2-х разрядными входами.

Алгоритм работы:

* устройство анализирует три 2-х разрядных входа;
  + если любые два (или все три) входа имеют одинаковое значение, то оно передается на информационный выход устройства, при этом формируется признак достоверности данных
    - =2 если значения любых двух входов были одинаковыми;
    - =3 если значения трех входов были одинаковыми
  + Если все входы имеют разное значение, то на информационном выходе устройства может формироваться произвольное значение, при этом формируется признак достоверности данных = 0
* Выводы устройства:
  + Входы данных - переключатели sw[5:4], sw[3:2] , sw[1:0] - для трех 2-х разрядных чисел
  + Выходы
    - светодиоды led[1:0] - информационные выходы
    - светодиоды led[3:2] - выходы признака достоверности данных

## Результат синтеза (RTL)

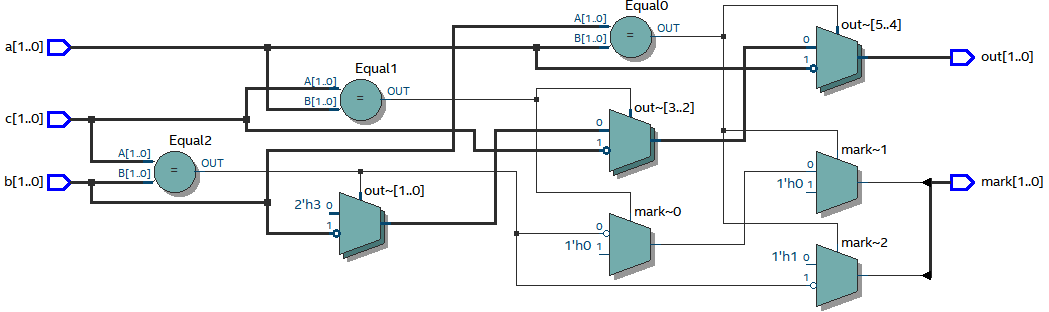


Рис. 3‑2 Результат моделирования RTL-Viewer

## Функциональное моделирование

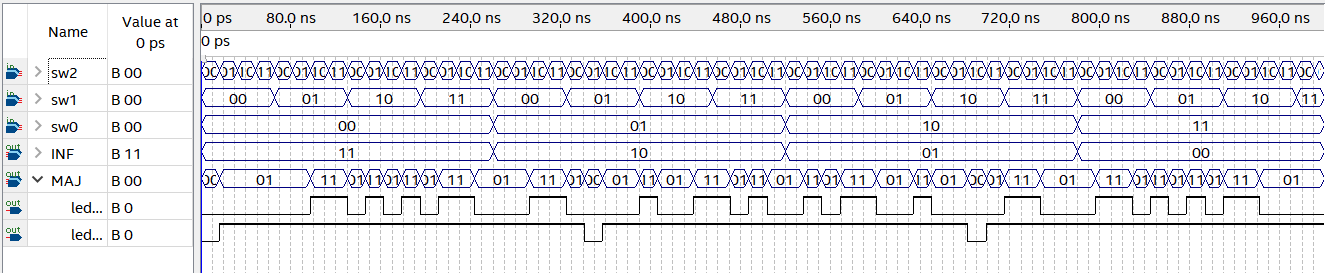
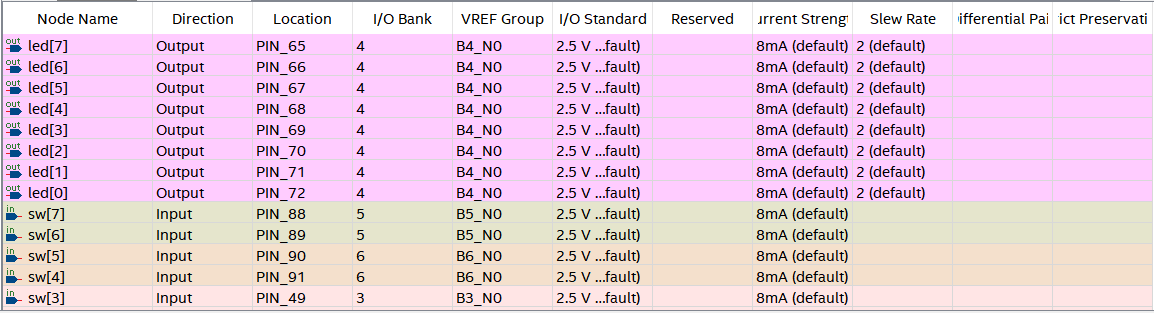


Рис. 3‑3 Функциональное моделирование

## Назначение выводов СБИС



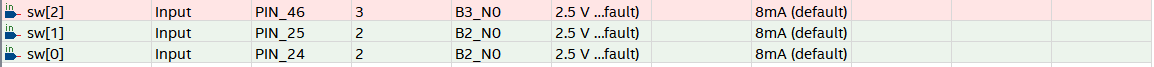


Рис. 3‑4 Назначение выводов в приложении Pin Planner

## Выводы

В ходе выполнения лабораторной работы на языке Verilog было описано мажоритарное устройство с тремя 2-х разрядными входами. Проведена проверка работоспособности с помощью инструментов пакета Quartus. Моделирование и тестирование проведено успешно, устройство работает правильно.

# Упражнение 3\_4

## Задание

На языке Verilog, опишите устройство, реализующее сортировку по возрастанию (для студентов с четным номером в списке группы)/по убыванию (для студентов с нечетным номером в списке группы) массива 2-х разрядных чисел, заданных переключателями sw[7:6] sw[5:4] sw[3:2] sw[1:0]. Отсортированный массив отображается на светодиодах

* При сортировке по возрастанию: led[7:6](меньшее число) led[5:4] led[3:2] led[1:0] (большее число)
* При сортировке по убыванию: led[7:6](большее число) led[5:4] led[3:2] led[1:0] (меньшее число)

## Результат синтеза (RTL)

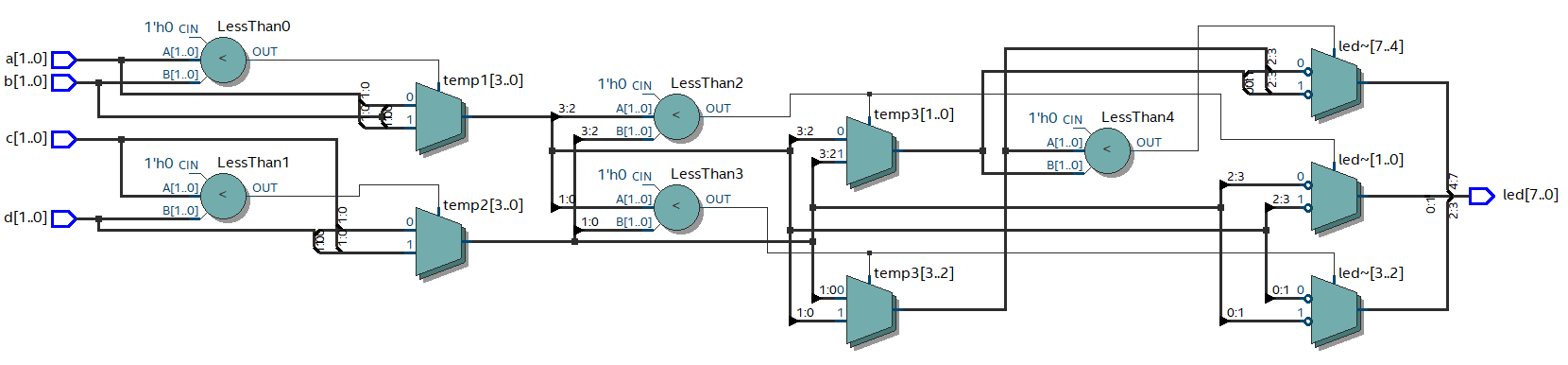


Рис. 4‑1 Результат моделирования RTL-Viewer

## Функциональное моделирование

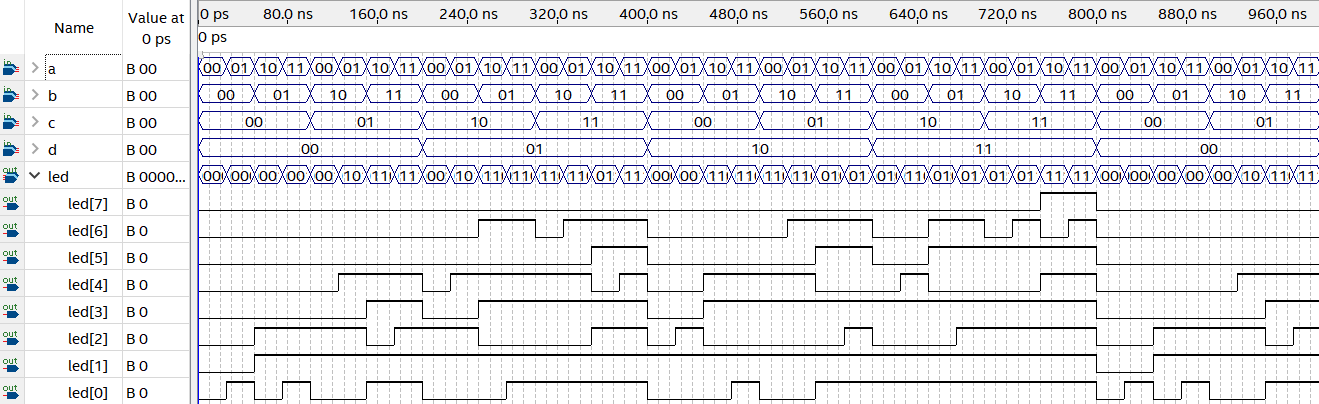
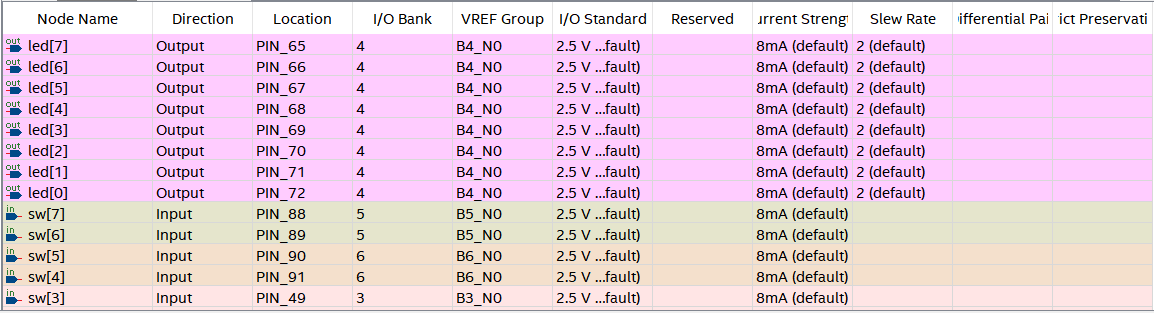


Рис. 4‑2 Функциональное моделирование

## Назначение выводов СБИС



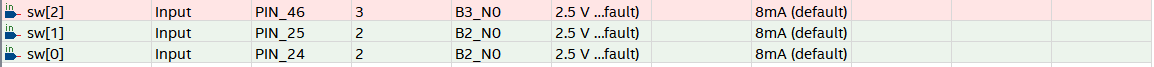


Рис. 4‑3 Назначение выводов в приложении Pin Planner

## Выводы

В ходе выполнения лабораторной работы на языке Verilog описано устройство, реализующее сортировку по возрастанию (для студентов с четным номером в списке группы)/по убыванию (для студентов с нечетным номером в списке группы) массива 2-х разрядных чисел, заданных переключателями sw[7:6] sw[5:4] sw[3:2] sw[1:0]. Проведена проверка работоспособности с помощью инструментов пакета Quartus. Моделирование и тестирование проведено успешно, устройство работает правильно.